

99401706

#2
3/20/01

JC892 U.S. PTO
09/710606
11/10/00



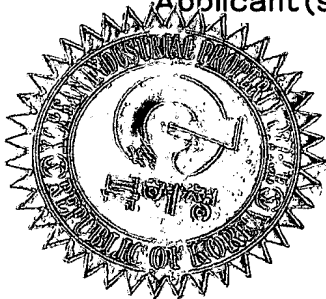
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 1999년 특허출원 제49675호
Application Number

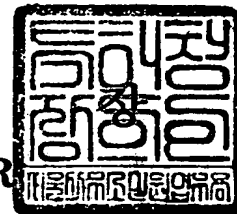
출원 년 월 일 : 1999년 11월 10일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



1999 년 11 월 30일

특 허 청
COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	1999.11.10		
【국제특허분류】	H01L 25/00		
【발명의 명칭】	리드 온 칩 타입 반도체 패키지		
【발명의 영문명칭】	Lead on chip type semiconductor package		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임평섭		
【대리인코드】	9-1998-000438-0		
【포괄위임등록번호】	1999-007182-1		
【발명자】			
【성명의 국문표기】	이종명		
【성명의 영문표기】	LEE, Jong Myoung		
【주민등록번호】	700518-1406211		
【우편번호】	336-850		
【주소】	충청남도 아산시 배방면 북수리 산 74번지		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 섭 (인) 임평		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	3	면	3,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	32,000	원	

【요약서】

【요약】

본 발명은 LOC 타입 반도체 패키지에 관한 것으로, 본 발명에서는 리드들을 부여된 역할에 따라, 제너럴 리드들과, 스테이블 리드들로 나누어 구성한다.

이때, 제너럴 이너리드들의 엣지부는 반도체칩의 외곽에 위치하는데 반해, 스테이블 이너리드들의 엣지부는 반도체칩의 표면에 직접 위치한다.

이러한 본 발명에서는 모든 이너리드들을 반도체칩의 표면에 일괄적으로 배치하지 않고, 단지, 소수의 스테이블 이너리드들만을 반도체칩의 표면에 직접 배치하기 때문에, 본 발명이 실시되는 경우, 생산라인에서는 다양한 사이즈의 반도체칩들을 범용적으로 리드프레임에 탑재시킬 수 있으며, 결국, 반도체칩의 사이즈가 변경될 때마다, 이에 부합되는 리드프레임을 새롭게 설계하여야 하는 문제점을 미리 방지할 수 있다.

상술한 본 발명이 실시되는 경우, 생산라인에서는 리드프레임의 범용성을 극대화할 수 있음으로써, 최근 요구되는 '소품종 다량생산'의 양산 체계에 탄력적으로 대처할 수 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

리드 온 칩 타입 반도체 패키지{Lead on chip type semiconductor package}

【도면의 간단한 설명】

도 1 및 도 2는 본 발명의 일실시예에 따른 리드 온 칩 타입 반도체 패키지를 도시한 예시도.

도 3 및 도 4는 본 발명의 다른 실시예에 따른 리드 온 칩 타입 반도체 패키지를 도시한 예시도.

도 5 내지 도 7은 본 발명의 또 다른 실시예에 따른 스테이블 리드들의 내측단부 형상을 도시한 예시도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 리드 온 칩(LOC:Lead On Chip;이하, 'LOC'라 칭함) 타입 반도체 패키지에 관한 것으로, 좀더 상세하게는 반도체칩의 사이즈 변화에 탄력적으로 대응할 수 있도록 리드 프레임의 형상을 개선하고, 이를 통해, 다양한 사이즈의 반도체칩들이 동일 사이즈의 리드프레임에 탑재될 수 있도록 유도함으로써, 리드프레임의 범용성을 극대화할 수 있도록 하는 LOC 타입 반도체 패키지에 관한 것이다.

<5> 최근, 전자·정보기기의 메모리용량이 대용량화되어 감에 따라 디램(DRAM), 에스램(SRAM)과 같은 반도체칩은 점차 고집적화되고 있으며, 이에 맞추어, 반도체칩의 사이즈 또

한 점차 대형화되고 있다.

- <6> 그런데, 이러한 반도체칩의 대형화와 반대로, 반도체칩을 포장하는 패키징 기술은 전자·정보기기의 소형화, 경량화 추세에 따라, 최종 완성되는 반도체칩 패키지의 사이즈를 경박·단소화시키는 방향으로 나아가고 있다.
- <7> 반도체칩 패키지는 구조적인 측면에서 볼 때, 리드프레임의 다이패드를 사용하는 컨벤셔널 타입(Conventional type) 반도체 패키지와, 다이패드를 사용하지 않고 접착테이프를 이용하여 반도체칩과 리드들을 직접 접착시키는 LOC 타입 반도체 패키지로 대별된다.
- <8> 통상, 컨벤셔널 타입 반도체 패키지의 경우, 반도체칩의 점유영역을 제외한 나머지 영역에 리드들을 평면배치할 수밖에 없기 때문에, 반도체칩의 다기능화, 고집적화로 인해 반도체칩의 점유율이 증가할 경우, 이에 탄력적으로 대응할 수 없는 단점이 있다.
- <9> 이에 비해, LOC 타입 반도체 패키지의 경우, 다이패드 없이 반도체칩의 표면에 모든 리드들을 일괄적으로 평면배치할 수 있기 때문에, 제한된 사이즈의 패키지 내부에 보다 큰 사이즈의 반도체칩을 탑재할 수 있음으로써, 반도체칩의 점유율이 증가해도 이에 탄력적으로 대응할 수 있는 장점이 있다. 이에 따라, LOC 타입 반도체 패키지는 최근 요구되는 고밀도 패키지에 다양하게 응용되고 있다.
- <10> 이러한 종래의 기술에 따른 LOC 타입 반도체 패키지의 여러 가지 형태는 예컨대, 미국 특허공보 제 5428247 호 '다운-본드된 리드 온 칩 타입 반도체 디바이스(Down-bonded lead on chip type semiconductor device)', 미국특허공보

제 5572066 호 '리드 온 칩 반도체 디바이스 및 그 제조방법(Lead on chip semiconductor device and method for its fabrication)', 미국특허공보 제 5733800 호 '엘오씨 패키지용 언더필 코팅(Underfill coating for LOC package)', 미국특허공보 제 5821605 호 '엘오씨 반도체 패키지(LOC semiconductor package)', 미국특허공보 제 5834830 호 '엘오씨 패키지 및 그 제조방법(LOC package and fabricating method thereof)' 등에 좀더 상세하게 제시되어 있다.

【발명이 이루고자 하는 기술적 과제】

- <11> 상술한 바와 같이, 종래의 LOC 타입 반도체 패키지는 모든 리드들이 다이패드 없이 반도체칩의 표면에 일괄적으로 배치된 구조를 이루고 있기 때문에, 제한된 사이즈의 패키지 내부에 보다 큰 사이즈의 반도체칩을 탑재할 수 있다는 장점을 제공한다.
- <12> 그러나, 이러한 종래의 LOC 타입 반도체 패키지를 운용하는데에는 몇 가지 중대한 문제점이 있다. 이를 설명하면 다음과 같다.
- <13> 통상, LOC 타입 반도체 패키지를 개발할 때, 종래에는 먼저, 반도체칩을 개발한 후, 개발된 반도체칩의 사이즈를 고려하여 리드프레임의 구체적인 형상을 디자인하는 과정을 진행한다.
- <14> 이와 같이, 종래의 경우, 리드프레임의 형상을 디자인할 때, 먼저 개발된 반도체칩의 사이즈를 고려할 수밖에 없는 이유는, 상술한 바와 같이, LOC 타입 반도체 패키지는 모든 리드들이 다이패드 없이 반도체칩의 표면에 일괄적으로 배치된 구조적인 특성을 갖고 있기 때문이다.
- <15> 이러한 구조적인 특성을 원인으로 하여, 종래의 기술에 따른 LOC 타입 반도체 패키지

는 리드프레임의 형상이 반도체칩의 사이즈에 종속되는 특성을 갖게 된다.

<16> 일례로, 5000mm^2 의 사이즈를 갖는 반도체칩이 먼저 개발된 경우, 종래에는 이 반도체칩의 사이즈, 즉, 5000mm^2 를 고려하여, 이와 일치하는 리드프레임의 형상을 디자인할 수밖에 없으며, 4000mm^2 의 사이즈를 갖는 반도체칩이 먼저 개발된 경우, 종래에는 이 반도체칩의 사이즈, 즉, 4000mm^2 를 고려하여, 이와 일치하는 리드프레임의 형상을 디자인할 수밖에 없다.

<17> 그러나, 이와 같은 과정을 통해 제작된 리드프레임은 먼저 설계된 반도체칩의 사이즈를 기준으로 디자인되었기 때문에, 자신과 일치하는 반도체칩만을 탑재할 수 있으며, 그 이외의 사이즈를 갖는 반도체칩은 탑재하지 못하는 문제점을 유발한다.

<18> 일례로, 5000mm^2 의 사이즈를 갖는 반도체칩을 기준으로 디자인된 리드프레임은 오직, 5000mm^2 의 사이즈를 갖는 반도체칩만을 탑재할 수 있을 뿐, 그 이외의 사이즈, 예컨대, 4000mm^2 의 사이즈를 갖는 반도체칩을 탑재하지 못하는 문제점을 가지며, 4000mm^2 의 사이즈를 갖는 반도체칩을 기준으로 디자인된 리드프레임은 오직, 4000mm^2 의 사이즈를 갖는 반도체칩만을 탑재할 수 있을 뿐, 그 이외의 사이즈, 예컨대, 3000mm^2 의 사이즈를 갖는 반도체칩을 탑재하지 못하는 문제점을 갖는다.

<19> 즉, 종래의 경우에는 반도체칩의 사이즈 변화에 따라, 이에 부합하는 리드프레임을 새로이 디자인할 수밖에 없음으로써, 전체적인 제품 생산효율이 현저히 저하되는 문제점을 감수할 수밖에 없다.

<20> 더욱이, 최근처럼, 반도체칩의 개발이 '소품종 다량생산'의 경향으로 진행되는 경우, 상술한 문제점은 더욱 심각해질 수밖에 없다.

- <21> 물론, 이러한 문제점을 근본적으로 해결하기 위해서는 다양한 사이즈의 반도체칩을 탑재할 수 있도록 리드프레임의 형상을 새롭게 구현하는 것이 최선책이긴 하겠지만, 상술한 바와 같이, 종래의 LOC 타입 반도체 패키지는 모든 리드들이 반도체칩의 표면에 일괄적으로 배치된 구조를 이루어, 리드들의 형상이 반도체칩의 사이즈에 종속되는 특성을 기본적으로 가질 수밖에 없기 때문에, 종래에는 상술한 문제점을 깊이 인식하면서도 이에 대한 구체적인 대처방안을 마련하지 못하고 있는 실정이다.
- <22> 따라서, 본 발명의 목적은 리드프레임을 구성하는 리드들의 형상을 새롭게 변경하여, 이 리드들이 반도체칩의 사이즈 변화에 탄력적으로 대처할 수 있도록 함으로써, 최종 완성된 리드프레임이 다양한 사이즈의 반도체칩을 범용적으로 탑재할 수 있도록 하는데 있다.
- <23> 본 발명의 다른 목적은 한번 개발 완료된 리드프레임이 다양한 사이즈의 반도체칩을 범용적으로 탑재할 수 있도록 함으로써, 반도체칩의 사이즈가 새롭게 변경될 때마다, 이에 부합되는 리드프레임을 새롭게 설계하여야 하는 문제점을 미리 방지하는데 있다.
- <24> 본 발명의 또 다른 목적은 반도체칩의 사이즈 변화에 따른 리드프레임의 반복적인 재설계 과정을 억제시킴으로써, 전체적인 제품 생산효율을 현저히 향상시키는데 있다.
- <25> 본 발명의 또 다른 목적은 리드프레임의 범용성을 극대화함으로써, 최근 요구되는 반도체칩의 '소품종 다량생산'에 탄력적으로 대처하는데 있다.
- <26> 본 발명의 또 다른 목적들은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해질 것이다.

【발명의 구성 및 작용】

- <27> 상기와 같은 목적을 달성하기 위하여 본 발명에서는 모든 리드들을 반도체칩의 표면에

일괄적으로 배치하던 종래와 달리, 이 리드들을 부여된 역할에 따라, 제너럴 리드들 (General leads)과, 스테이블 리드들(Stable leads)로 나누어 구성한다.

<28> 이때, 제너럴 리드들은 반도체칩을 향하도록 배열된 상태에서 성형수지에 의해 몰딩되는 제너럴 이너리드들(Inner-leads)과, 반도체칩의 반대방향을 향하도록 배열된 상태에서 성형수지의 외곽으로 연장되는 제너럴 아웃리드들(Out-leads)의 조합으로 이루어지며, 스테이블 리드들은 반도체칩을 향하도록 배열된 상태에서 성형수지에 의해 몰딩되는 스테이블 이너리드들과, 반도체칩의 반대방향을 향하도록 배열된 상태에서 성형수지의 외곽으로 연장되는 스테이블 아웃리드들의 조합으로 이루어진다.

<29> 이때, 제너럴 이너리드들의 단부는 상술한 반도체칩과 접촉되지 않도록 반도체칩의 외곽에 떨어져 배치되는데 반해, 스테이블 이너리드들의 앳지부는 반도체칩의 표면에 직접 배치된다. 이 경우, 제너럴 이너리드들은 와이어를 통해 반도체칩의 본딩패드들과 전기적으로 연결된 상태에서, 신호교환통로로써의 역할을 전담하며, 스테이블 이너리드들은 와이어를 통해 반도체칩의 본딩패드들과 전기적으로 연결된 상태에서 신호교환통로로써의 역할을 전담함은 물론, 반도체칩을 일정 크기로 누름으로써, 반도체칩을 고정시키는 역할을 아울러 전담한다.

<30> 이러한 본 발명이 실시되는 경우, 모든 이너리드들이 반도체칩의 표면에 일괄적으로 배치되어 있지 않고, 단지, 소수의 스테이블 이너리드들만이 반도체칩의 표면에 배치되는 구조가 달성되기 때문에, 다양한 사이즈의 반도체칩들을 범용적으로 리드프레임에 탑재시킬 수 있으며, 결국, 반도체칩의 사이즈가 변경될 때마다, 이에 부합되는 리드프레임을 새롭게 설계하여야 하는 문제점을 미리 방지할 수 있다.

<31> 상술한 본 발명이 실시되는 경우, 리드프레임의 범용성을 극대화할 수 있음으로써, 최

근 요구되는 '소품종 다량생산'의 양산 체계에 탄력적으로 대처할 수 있다.

<32> 이하, 첨부된 도면을 참조하여 본 발명에 따른 LOC 타입 반도체 패키지를 좀더 상세히 설명하면 다음과 같다.

<33> 도 1에 도시된 바와 같이, 본 발명에 따른 LOC 타입 반도체 패키지(100)에서, 반도체 칩(1)의 표면에는 일정간격을 유지하며, 줄지어 나열된 다수개의 본딩패드들(2)이 배치된다. 이러한 본딩패드들(2)은 예컨대, 반도체칩(1) 표면의 가운데를 따라 나열되며, 이 경우, 본딩패드들(2)은 외부로부터 입력되는 전기적인 신호를 반도체칩(1)으로 신속히 전달하는 역할을 수행한다.

<34> 이때, 각 본딩패드들(2)에 대응하는 반도체칩(1)의 양측에는 다수개의 리드들(10)이 반도체칩(1)의 본딩패드들(2)을 경계로 서로 마주보며 배치된다.

<35> 여기서, 본딩패드들(2)은 자신과 인접하여 배치된 리드들(10)과 와이어들(3)에 의해 전기적으로 접속되는데, 이 경우, 본딩패드들(2)은 와이어들(3) 및 리드들(10)을 매개로 외부의 회로패턴들(도시안됨)과 전기적으로 연결될 수 있으며, 리드들(10) 및 와이어들(3)을 통해 입력되는 전기적인 신호는 본딩패드들(2)을 통해 반도체칩(1)으로 신속히 전달될 수 있다. 이러한 각 구성물들은 성형수지(4)에 의해 감싸져 외부의 충격으로부터 양호하게 보호된다.

<36> 이때, 도면에 도시된 바와 같이, 본 발명의 리드들(10)은 부여된 역할에 따라, 제너럴 리드들(11)과, 스테이블 리드들(12)로 나뉘어 구성된다. 이 경우, 스테이블 리드들(12)은 반도체칩(1)의 양쪽 최외곽에 분할 배치된 상태에서 반도체칩(1)쪽으로 일차 절곡되어 길게 연장된 구조를 이루며, 제너럴 리드들(11)은 스테이블 리드들(12)의 사이에 일렬로 배치된

구조를 이룬다.

- <37> 이 경우, 제너럴 리드들(11)은 반도체칩(1)을 향하도록 배열된 제너럴 이너리드들(11a)과, 반도체칩(1)의 반대방향을 향하도록 배열된 제너럴 아웃리드들(11b)의 조합으로 이루어지며, 스테이블 리드들(12) 역시, 제너럴 리드들(11)과 유사하게, 반도체칩(1)을 향하도록 배열된 스테이블 이너리드들(12a)과, 반도체칩(1)의 반대방향을 향하도록 배열된 스테이블 아웃리드들(12b)의 조합으로 이루어진다.
- <38> 이때, 제너럴 이너리드들(11a)은 성형수지(4)에 의해 몰딩되는 구조를 이루며, 제너럴 아웃리드들(11b)은 성형수지(4)의 외곽으로 연장되는 구조를 이룬다.
- <39> 또한, 스테이블 이너리드들(12a)은 제너럴 이너리드들(11a)과 유사하게, 성형수지(4)에 의해 몰딩되는 구조를 이루며, 스테이블 아웃리드들(12b)은 제너럴 아웃리드들(11b)과 유사하게 성형수지의 외곽으로 연장되는 구조를 이룬다.
- <40> 이러한 본 발명에 따른 LOC 타입 반도체 패키지(100)에서, 상술한 제너럴 이너리드들(11a)의 엣지부는 반도체칩(1)과 접촉되지 않은 상태로, 반도체칩(1)의 외곽에 위치하는데 반해, 스테이블 이너리드들(12a)의 엣지부는 제너럴 이너리드들(11a)의 엣지부와 상이하게 반도체칩(1)의 표면과 접촉된 상태로, 해당 표면에 직접 위치한다.
- <41> 이때, 도면에 도시된 바와 같이, 스테이블 이너리드들(12a)의 엣지부에 대응되는 반도체칩(1)의 표면에는 스테이블 이너리드들(12a)의 엣지부를 반도체칩(1)의 표면에 안정적으로 접착시키기 위한 접착부재(5), 예컨대, 접착테이프가 더 배치된다. 이러한 접착부재(5)의 작용에 의해 스테이블 이너리드들(12a)의 엣지부는 반도체칩(1)의 표면에서, 안정적인 고정상태를 장시간 유지할 수 있다.

- <42> 본 발명의 LOC 타입 반도체 패키지(100)가 상술한 구조를 이루는 경우, 제너럴 리드들(11)은 와이어(3)를 통해 반도체칩(1)의 본딩패드들(2)과 전기적으로 연결된 상태에서, 신호교환통로로써의 역할을 전담하며, 스테이블 리드들(12)은 상술한 제너럴 리드들(11)과 마찬가지로, 와이어(3)를 통해 반도체칩(1)의 본딩패드들(2)과 전기적으로 연결된 상태에서 신호교환통로로써의 역할을 전담함은 물론, 반도체칩(1)과 직접 접촉됨으로써, 반도체칩(1)을 물리적으로 고정시키는 역할을 아울러 전담한다.
- <43> 이와 같은 리드들의 구조는 본 발명의 요지를 이루는 부분으로, 물론, 종래의 LOC 타입 반도체 패키지를 이루는 리드들은 이와 전혀 다른 구조를 이루었다.
- <44> 종래의 LOC 타입 반도체 패키지의 경우, 상술한 바와 같이, 모든 리드들은 반도체칩의 표면에 일괄적으로 배치되는 구조를 이루었기 때문에, 그 형상이 반도체칩의 사이즈에 종속되는 특성을 가졌다. 이 경우, 리드들은 반도체칩의 사이즈를 기준으로 디자인될 수밖에 없었으며, 결국, 자신과 일치하는 사이즈의 반도체칩만을 탑재할 수 있었을 뿐, 그 이외의 사이즈를 갖는 반도체칩은 탑재하지 못하는 문제점을 유발하였다.
- <45> 그러나, 본 발명의 경우, 상술한 바와 같이, 리드들(10)은 모두 반도체칩(1)의 표면에 일괄적으로 배치되어 있지 않고, 단지, 소수의 스테이블 리드들(12)만이 반도체칩(1)의 표면에 배치된 구조를 이루고 있기 때문에, 본 발명이 실시되는 경우, 반도체칩(1)의 사이즈 변화와 무관하게 다양한 사이즈의 반도체칩(1)을 범용적으로 리드프레임에 탑재시킬 수 있는 이점을 획득할 수 있다.
- <46> 일례로, 도 1 및 도 2에는 본 발명이 적용된 동일한 디자인의 리드들(10)로, 서로 다른 사이즈를 갖는 반도체칩들(1)이 탑재된 경우가 도시된다. 이 경우, 리드들(10)은 도 1에 도시된 바와 같이, S1의 사이즈, 예컨대, 5000mm²의 사이즈를 갖는 반도체칩(1)을 탑재할 수

있을 뿐만 아니라, 도 2에 도시된 바와 같이, S2의 사이즈, 예컨대, 4000mm²의 사이즈를 갖는 반도체칩(1) 또한 원활하게 탑재할 수 있다.

<47> 이러한 본 발명이 달성되는 경우, 반도체칩(1)의 사이즈가 새로이 변경될 때마다, 이에 부합되는 리드프레임을 새롭게 설계하여야 하는 문제점을 미리 해결할 수 있으며, 또한, 리드프레임의 범용성을 극대화할 수 있음으로써, 최근 요구되는 '소품종 다량생산'의 양산 체계에 탄력적으로 대처할 수 있다.

<48> 한편, 도면에 도시된 바와 같이, 제너럴 이너리드들(11a)의 엣지부는 반도체칩(1)의 상측으로 예컨대, 2차 절곡되어, 이른바, '업-셋구조(Up-set structure)'를 이룬다. 이 경우, 본딩패드들(2)과 제너럴 이너리드들(11a) 사이에는 일정 간격의 높이차이가 형성되기 때문에, 생산라인에서는 본딩패드들(2) 및 제너럴 이너리드들(11a)의 엣지부를 와이어(3)로 연결할 때, 와이어(3)의 루핑구조(Looping structure)를 좀더 원활하게 달성할 수 있는 이점을 획득할 수 있다.

<49> 물론, 스테이블 이너리드들(12a)의 엣지부는 상술한 접착부재(5)에 의해 접착되어, 기본적으로 본딩패드들(2)과 일정 간격의 높이차이를 유지하고 있기 때문에, 생산라인에서는 상술한 제너럴 이너리드들(11a)과 달리, 스테이블 이너리드들(12a)의 엣지부에 별도의 업-셋 구조를 형성하지 않고서도, 이 스테이블 이너리드들(12a)의 엣지부와 연계되는 와이어(3)의 루핑구조를 원활하게 달성시킬 수 있다.

<50> 이와 같이, 제너럴 이너리드들(11a)의 엣지부를 반도체칩(1)의 상측으로 2차 절곡시키는 공정을 진행할 때, 생산라인에서는 제너럴 이너리드들(11a)의 엣지부 및 스테이블 이너리드들(12a)의 엣지부가 서로 동일한 평면을 이룰 수 있도록 한다.

- <51> 만약, 제너럴 이너리드들(11a)의 엣지부 및 스테이블 이너리드들(12a)의 엣지부가 서로 동일한 평면을 유지하는 경우, 생산라인에서는 본딩패드들 및 각 이너리드들을 와이어로 연결하는 치구, 예컨대, 캐피러리의 동작영역을 좀더 용이하게 확보할 수 있음으로써, 결국, 와이어(3)의 루핑구조를 좀더 손쉽게 달성할 수 있는 이점을 획득할 수 있다.
- <52> 한편, 도 3에 도시된 바와 같이, 본 발명의 다른 실시예에 따르면, 스테이블 아웃리드들(12b)은 제너럴 아웃리드들(11b) 사이의 어느 한 지점, 예컨대, 제너럴 아웃리드들(11b)의 중앙부에 위치한 구조를 이룬다. 이 경우, 스테이블 이너리드들(12a)의 엣지부는 반도체칩(1)의 외곽을 향하여 1차 절곡되는 구조를 이룬다.
- <53> 본 발명이 이러한 구성을 이루는 경우, 스테이블 리드들(12)은 반도체칩(1)의 중앙으로부터 반도체칩(1)의 외곽으로 스테이블 이너리드들(12a)을 길게 연장시킨 구조를 이루게 되며, 결국, 스테이블 리드들(12)은 반도체칩(1)을 지지하기 위한 면적을 대폭 확대시킬 수 있음으로써, 자신에게 주어진 반도체칩(1) 고정역할을 극대화시킬 수 있다.
- <54> 물론, 이러한 본 발명의 다른 실시예에서도, 제너럴 이너리드들(11a)의 엣지부는 반도체칩(1)의 외곽에 놓여지는 구조를 이루는데 반해, 스테이블 이너리드들(12a)의 엣지부는 반도체칩(1)의 표면에 직접 놓여지는 구조를 이루며, 이 경우, 스테이블 이너리드들(12a)의 엣지부에 대응되는 반도체칩(1)의 표면에는 스테이블 이너리드들(12a)의 엣지부를 반도체칩(1)의 표면에 접촉시키기 위한 접촉부재(5)가 더 배치된다.
- <55> 이러한 본 발명의 다른 실시예의 경우에도, 상술한 실시예와 마찬가지로, 소수의 스테이블 리드들(12)만이 반도체칩(1)의 표면에 배치된 구조를 이루기 때문에, 반도체칩(1)의 사이즈 변화와 무관하게 다양한 사이즈의 반도체칩(1)을 범용적으로 리드프레임에 탑재시킬 수 있는 이점을 획득할 수 있다.

- <56> 일례로, 도 3 및 도 4에는 본 발명의 다른 실시예가 적용된 동일한 디자인의 리드들(10)로, 서로 다른 사이즈를 갖는 반도체칩들(1)이 탑재된 경우가 도시된다. 이 경우, 리드들(10)은 도 3에 도시된 바와 같이, S1의 사이즈, 예컨대, 5000mm^2 의 사이즈를 갖는 반도체칩(1)을 탑재할 수 있을 뿐만 아니라, 도 4에 도시된 바와 같이, S2의 사이즈, 예컨대, 4000mm^2 의 사이즈를 갖는 반도체칩(1) 또한 원활하게 탑재할 수 있다.
- <57> 이 경우, 반도체칩(1)의 사이즈가 새로이 변경될 때마다, 이에 부합되는 리드프레임을 새롭게 설계하여야 하는 문제점을 미리 해결할 수 있으며, 또한, 리드프레임의 범용성을 극대화할 수 있음으로써, 최근 요구되는 '소품종 다량생산'의 양산 체계에 탄력적으로 대처할 수 있다.
- <58> 한편, 도 5에 도시된 바와 같이, 본 발명의 또 다른 실시예에 따르면, 접착부재와 접촉되는 스테이블 이너리드들(12a)의 엣지부는 접착부재(5)와 접촉되지 않는 스테이블 이너리드들(12a)의 다른 부분에 비해 전체 표면적이 실질적으로 증가하는 구조를 이룬다.
- <59> 도면에는 일례로, 스테이블 이너리드들(12a)의 엣지부가 두갈래로 갈라진 화살표형상(Arrow shape)을 이루어 자신의 전체 표면적을 실질적으로 증가시킨 경우가 도시되어 있다.
- <60> 이러한 본 발명의 또 다른 실시예가 적용되는 경우, 스테이블 리드들(12)은 반도체칩(1)을 지지하는 면적을 좀더 폭 넓게 확보할 수 있음으로써, 반도체칩(1)을 좀더 큰 힘으로 누를 수 있게 되고, 결국, 자신에게 주어진 반도체칩(1) 고정역할을 좀더 안정적으로 수행할 수 있다.
- <61> 도 6에는 상술한 경우의 다른 예로, 스테이블 이너리드들(12a)의 엣지부가 좌우로 n.

차, 예컨대, 13차 연속 절곡되어, 지그재그형상(Zig-zeg shape)을 이룸으로써, 자신의 전체 표면적을 실질적으로 증가시킨 경우가 도시되어 있으며, 도 7에는 또 다른 예로, 스테이블 이너리드들(12a)의 엣지부가 좌우로 확장되어, 주걱형상(Spatula shape)을 이룸으로써, 자신의 전체 표면적을 실질적으로 증가시킨 경우가 도시되어 있다.

<62> 이러한 각각의 경우에도, 스테이블 리드들(12)은 반도체칩(1)을 지지하는 면적을 좀 더 폭 넓게 확보할 수 있음으로써, 반도체칩(1)을 좀더 큰 힘으로 누를 수 있게 되고, 결국, 자신에게 주어진 반도체칩(1) 고정역할을 좀더 안정적으로 수행할 수 있다.

<63> 이후, 본 발명의 LOC 타입 반도체 패키지(100)는 외부의 회로블록, 예컨대, 인쇄회로 기판에 장착된 상태로, 전자기기에 실장됨으로써, 전자기기의 핵심소자로써의 역할을 안정적으로 수행한다.

<64> 이상의 설명에서와 같이, 본 발명에서는 반도체칩의 사이즈 변화에 탄력적으로 대응할 수 있도록 리드들의 형상을 개선하고, 이를 통해, 다양한 사이즈의 반도체칩들이 동일 사이즈의 리드들에 탑재될 수 있도록 유도함으로써, 리드프레임의 범용성을 극대화할 수 있다.

<65> 이러한 본 발명은 상술한 일반형 LOC 타입 반도체 패키지에서 뿐만아니라, 생산라인에서 제조되는 다양한 품종의 LOC 타입 반도체 패키지, 예컨대, 멀티칩(Multi-chip)형 LOC 타입 반도체 패키지 등에서 전반적으로 유용한 효과를 나타낸다.

<66> 그리고, 본 발명의 특정한 실시예가 설명되고 도시되었지만 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다.

<67> 이와 같은 변형된 실시예들은 본 발명의 기술적사상이나 관점으로부터 개별적으로 이

해되어서는 안되며 이와 같은 변형된 실시예들은 본 발명의 첨부된 특허청구의 범위안에 속한다 해야 할 것이다.

【발명의 효과】

- <68> 이상에서 상세히 설명한 바와 같이, 본 발명에 따른 LOC 타입 반도체 패키지에서는 리드들을 부여된 역할에 따라, 제너럴 리드들과, 스테이블 리드들로 나누어 구성한다. 이 경우, 제너럴 리드들은 제너럴 이너리드들 및 제너럴 아웃리드들의 조합으로 이루어지며, 스테이블 리드들은 스테이블 이너리드들 및 스테이블 아웃리드들의 조합으로 이루어진다.
- <69> 이때, 제너럴 이너리드들의 엣지부는 반도체칩의 외곽에 위치하는데 반해, 스테이블 이너리드들의 엣지부는 반도체칩의 표면에 직접 위치한다. 이 경우, 제너럴 리드들은 와이어를 통해 반도체칩의 본딩패드들과 전기적으로 연결된 상태에서, 신호교환통로로써의 역할을 전담하며, 스테이블 리드들은 와이어를 통해 반도체칩의 본딩패드들과 전기적으로 연결된 상태에서 신호교환통로로써의 역할을 전담함은 물론, 반도체칩을 일정 크기로 누름으로써, 반도체칩을 물리적으로 고정시키는 역할을 아울러 전담한다.
- <70> 이러한 본 발명에서는 모든 이너리드들을 반도체칩의 표면에 일괄적으로 배치하지 않고, 단지, 소수의 스테이블 이너리드들만을 반도체칩의 표면에 직접 배치하기 때문에, 본 발명이 실시되는 경우, 생산라인에서는 다양한 사이즈의 반도체칩들을 범용적으로 리드프레임에 탑재시킬 수 있으며, 결국, 반도체칩의 사이즈가 변경될 때마다, 이에 부합되는 리드프레임을 새롭게 설계하여야 하는 문제점을 미리 방지할 수 있다.
- <71> 상술한 본 발명이 실시되는 경우, 생산라인에서는 리드프레임의 범용성을 극대화할 수 있음으로써, 최근 요구되는 '소품종 다량생산'의 양산 체계에 탄력적으로 대처할 수 있다.

【특허청구범위】

【청구항 1】

표면을 따라 일정간격으로 다수개의 본딩패드들이 배열된 반도체칩과;

상기 본딩패드들의 각각에 대응하며, 상기 본딩패드들을 경계로 상기 반도체칩의 양측에 일렬로 놓여지는 리드들과;

상기 본딩패드들과 상기 리드들을 전기적으로 연결하는 와이어들과;

상기 반도체칩, 리드들 및 와이어들을 몰딩하는 성형수지를 포함하며,

상기 리드들은 상기 와이어들을 통해 상기 본딩패드들과 전기적으로 연결되며, 반도체칩의 양쪽 최외곽에 분할 배치되고, 상기 반도체칩쪽으로 일차 절곡되어 길게 연장되며, 상기 반도체칩과 물리적으로 접촉되어 상기 반도체칩을 고정시키는 한쌍의 스테이블 리드들과;

상기 스테이블 리드들의 사이에 일렬로 배치되며, 상기 와이어들을 통해 상기 본딩패드들과 전기적으로 연결되고, 상기 반도체칩과 접촉되지 않은 상태로, 상기 반도체칩과 이격되는 제너럴 리드들을 포함하는 것을 특징으로 하는 LOC 타입 반도체 패키지.

【청구항 2】

제 1 항에 있어서, 상기 제너럴 리드들은 상기 반도체칩을 향하여 배열된 상태에서 상기 성형수지에 의해 몰딩되는 제너럴 이너리드들과, 상기 반도체칩의 반대방향을 향하여 배열된 상태에서 상기 성형수지의 외곽으로 연장되는 제너럴 아웃리드들을 포함하고,

상기 스테이블 리드들은 상기 반도체칩을 향하여 배열된 상태에서 상기 성형수지에 의해 몰딩되는 스테이블 이너리드들과, 상기 반도체칩의 반대방향을 향하여 배열된 상태에서

상기 성형수지의 외곽으로 연장되는 스테이블 아웃리드들을 포함하는 것을 특징으로 하는 LOC 타입 반도체 패키지.

【청구항 3】

제 2 항에 있어서, 상기 스테이블 이너리드들의 엣지부에 대응되는 반도체칩의 표면에는 상기 스테이블 이너리드들의 엣지부를 상기 반도체칩의 표면에 고정시키기 위한 접착부재가 더 배치되는 것을 특징으로 하는 LOC 타입 반도체 패키지.

【청구항 4】

제 3 항에 있어서, 상기 접착부재와 접촉되는 상기 스테이블 이너리드들의 엣지부는 상기 접착부재와 접촉되지 않는 상기 스테이블 이너리드들의 다른 부분에 비해 전체 표면적이 실질적으로 증가하는 것을 특징으로 하는 LOC 타입 반도체 패키지.

【청구항 5】

제 2 항에 있어서, 상기 제너럴 이너리드들의 엣지부는 상기 반도체칩의 상측으로 업셋(Up-set)되는 것을 특징으로 하는 LOC 타입 반도체 패키지.

【청구항 6】

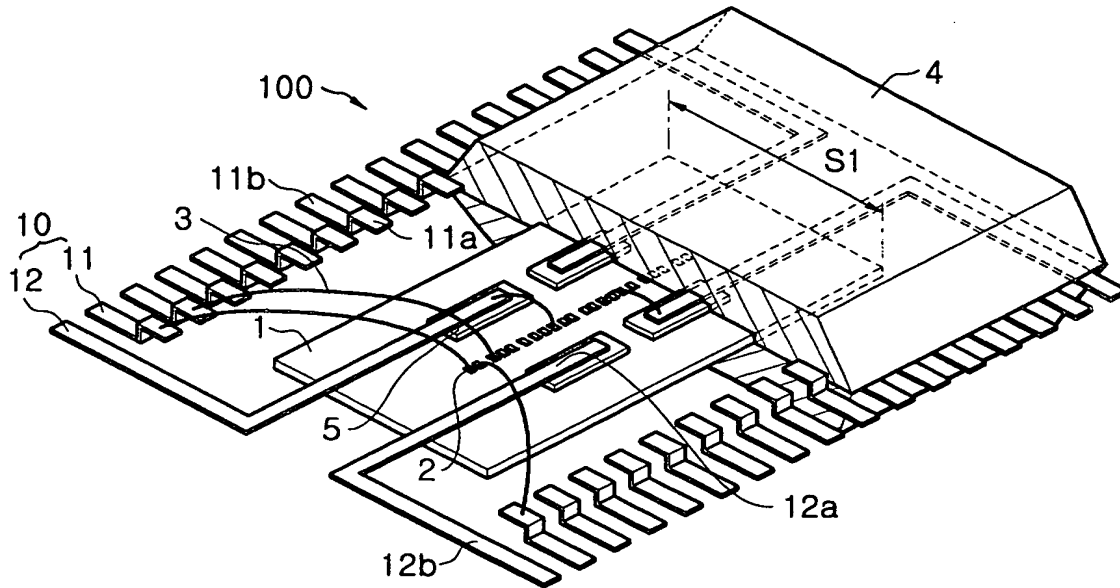
표면을 따라 일정간격으로 다수개의 본딩패드들이 배열된 반도체칩과;
상기 본딩패드들의 각각에 대응하며, 상기 본딩패드들을 경계로 상기 반도체칩의 양측에 일렬로 놓여지는 리드들과;
상기 본딩패드들과 상기 리드들을 전기적으로 연결하는 와이어들과;
상기 반도체칩, 리드들 및 와이어들을 몰딩하는 성형수지를 포함하며,
상기 리드들은 상기 와이어들을 통해 상기 본딩패드들과 전기적으로 연결되고, 상기

반도체칩과 접촉되지 않은 상태로, 상기 반도체칩과 이격되어 일렬로 배치되는 제너럴 리드들과;

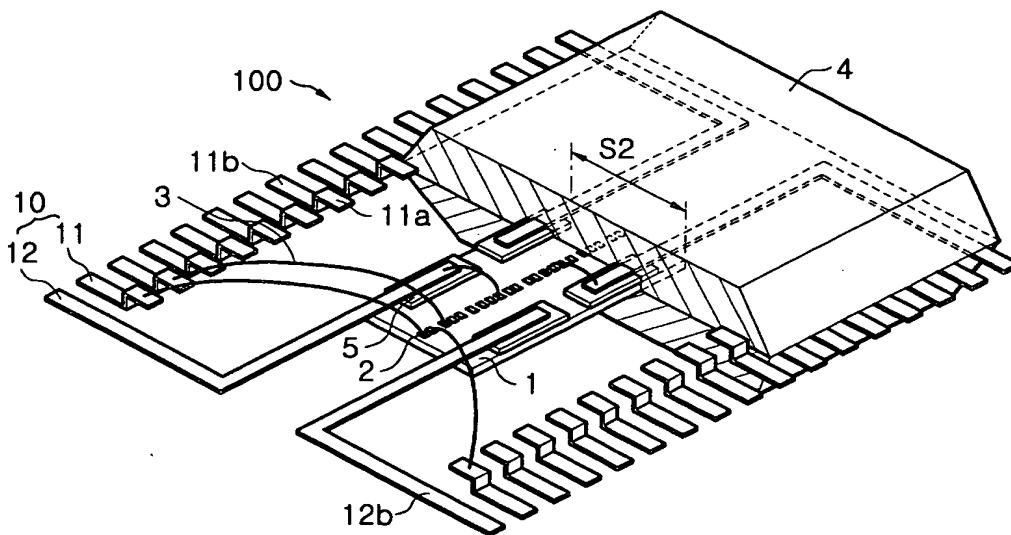
상기 제너럴 리드들의 사이에 배치되며, 상기 와이어들을 통해 상기 본딩패드들과 전기적으로 연결되고, 상기 반도체칩을 향해 직선으로 길게 연장된 상태에서, 상기 반도체칩의 외곽쪽으로 절곡되며, 상기 반도체칩과 물리적으로 접촉되어 상기 반도체칩을 고정시키는 한쌍의 스테이블 리드들을 포함하는 것을 특징으로 하는 LOC 타입 반도체 패키지.

【도면】

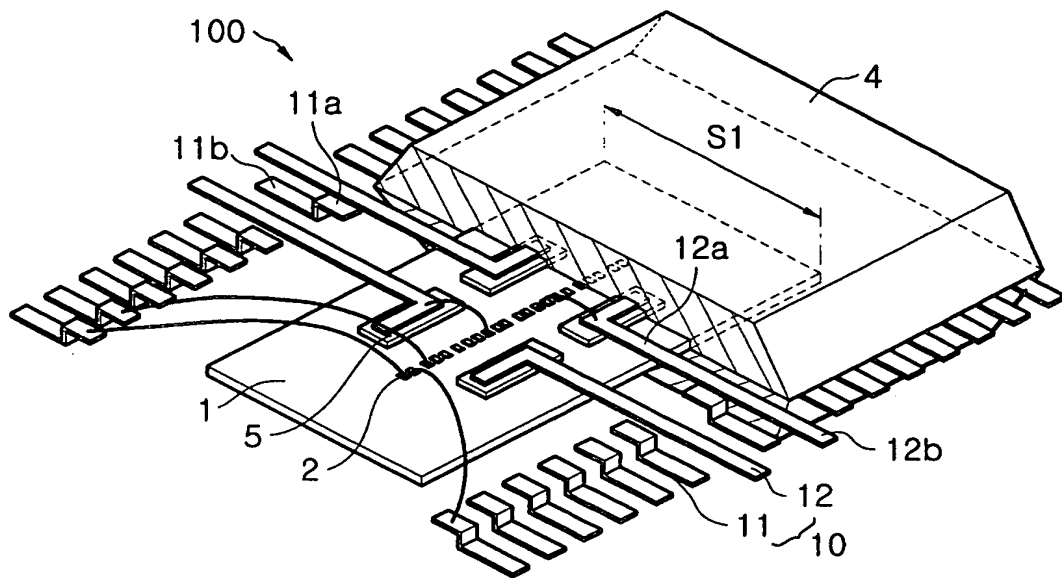
【도 1】



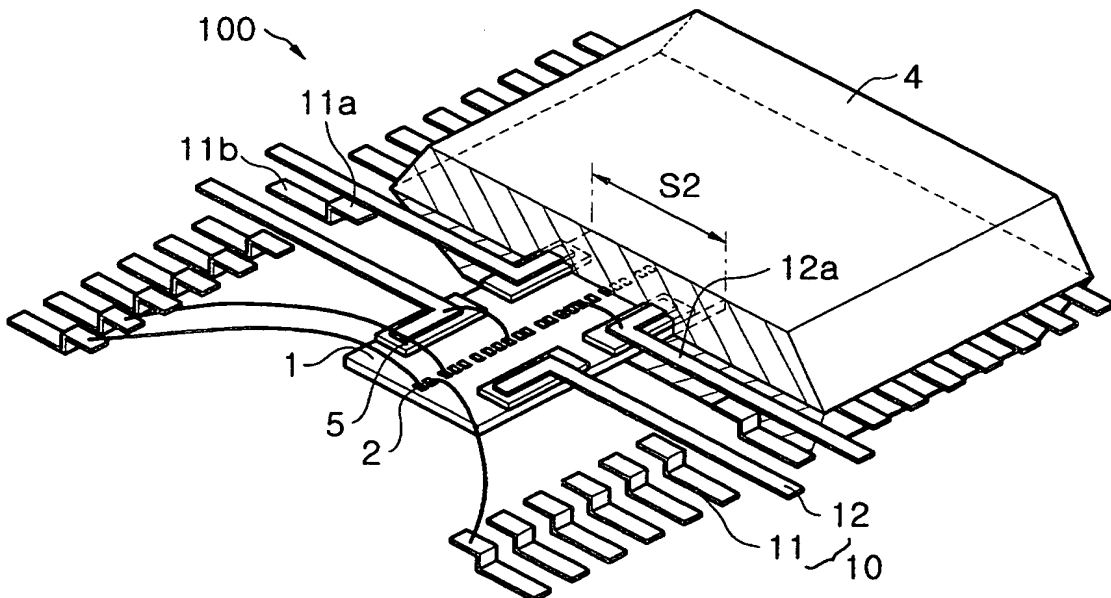
【도 2】



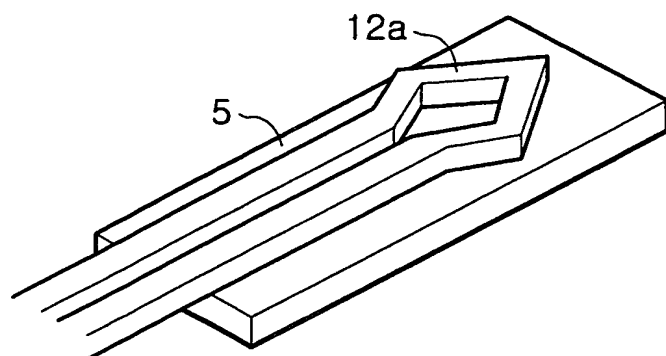
【図 3】



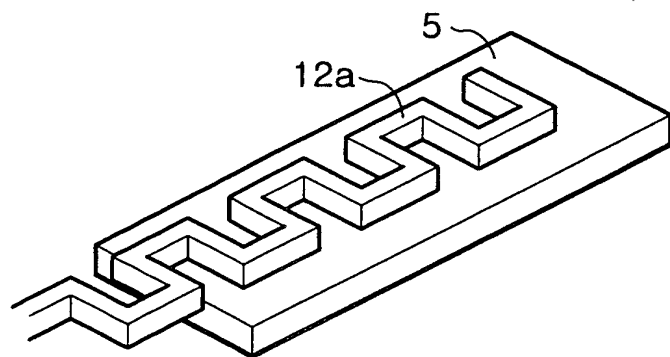
【図 4】



【図 5】



【図 6】



【図 7】

